

4

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-48507

(P2002-48507A)

(43) 公開日 平成14年2月15日 (2002.2.15)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 1 B 7/28		G 0 1 B 7/28	Z 2 F 0 6 3
// G 0 6 T 1/00	4 0 0	G 0 6 T 1/00	4 0 0 G 4 M 1 1 2
			5 B 0 4 7

審査請求 未請求 請求項の数14 O L (全 15 頁)

(21) 出願番号 特願2000-233099(P2000-233099)

(22) 出願日 平成12年8月1日 (2000.8.1)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 篠原 衛

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

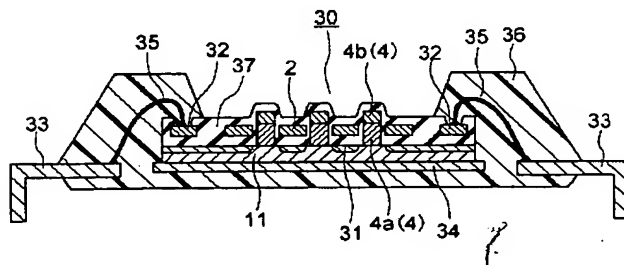
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 静電耐圧が向上され、静電気などによるスイッチング素子あるいは検出回路の破壊を防止できる半導体装置およびその製造方法を提供する。

【解決手段】 半導体基板11に形成された複数のスイッチング素子と、スイッチング素子に接続され、検出対象物との間の静電容量値に応じた量の電荷が蓄積される複数の電荷蓄積電極2と、少なくとも電荷蓄積電極2上に形成された絶縁性保護膜37と、隣接する電荷蓄積電極の間に形成され、表面が電荷蓄積電極2の表面よりも検出対象物に近接し、スイッチング素子と電気的に独立して半導体基板11に接続する柱状導電体4とを有する半導体装置、およびその製造方法。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】半導体基板に形成された複数のスイッチング素子と、

前記スイッチング素子に接続され、検出対象物との間の静電容量値に応じた量の電荷が蓄積される複数の電荷蓄積電極と、

少なくとも前記電荷蓄積電極上に形成された絶縁性保護膜と、

隣接する前記電荷蓄積電極の間に形成され、表面が前記電荷蓄積電極の表面よりも前記検出対象物に近接し、前記スイッチング素子と電気的に独立して前記半導体基板に接続する柱状導電体とを有する半導体装置。

【請求項 2】前記柱状導電体は前記絶縁性保護膜により被覆されている請求項 1 記載の半導体装置。

【請求項 3】前記柱状導電体の表面は前記絶縁性保護膜の表面とほぼ同一平面上にあり、前記柱状導電体は前記検出対象物に露出している請求項 1 記載の半導体装置。

【請求項 4】前記柱状導電体の表面は前記絶縁性保護膜の表面よりも突出している請求項 1 記載の半導体装置。

【請求項 5】前記柱状導電体は少なくとも第 1 層と前記第 1 層上に形成された第 2 層とを有し、前記第 2 層は前記電荷蓄積電極と同一の層からなる請求項 1 記載の半導体装置。

【請求項 6】前記スイッチング素子は、ゲートに印加する制御電圧に応じてオンまたはオフとなる絶縁ゲート電界効果トランジスタを含む請求項 1 記載の半導体装置。

【請求項 7】半導体基板に複数のスイッチング素子を形成する工程と、

検出対象物との間の静電容量値に応じた量の電荷が蓄積される複数の電荷蓄積電極を、前記スイッチング素子に接続するように形成する工程と、

隣接する前記電荷蓄積電極の間に、表面が前記電荷蓄積電極の表面よりも前記検出対象物に近接し、前記スイッチング素子と電気的に独立して前記半導体基板に接続する柱状導電体を形成する工程と、

少なくとも前記電荷蓄積電極上に絶縁性保護膜を形成する工程とを有する半導体装置の製造方法。

【請求項 8】前記絶縁性保護膜を形成する工程は、前記柱状導電体を前記絶縁性保護膜により被覆する工程を含む請求項 7 記載の半導体装置の製造方法。

【請求項 9】前記絶縁性保護膜を形成する工程は、前記電荷蓄積電極および前記柱状導電体の上部に前記絶縁性保護膜を形成する工程と、

前記柱状導電体の表面が露出するまで前記絶縁性保護膜の表層を除去する工程とを含む請求項 7 記載の半導体装置の製造方法。

【請求項 10】前記絶縁性保護膜の表層を除去する工程は、化学機械研磨 (CMP; chemical mechanical polishing) 工程を含む請求項 9 記載の半導体装置の製造方法。

【請求項 11】前記柱状導電体の表面が露出するまで前記絶縁性保護膜の表層を除去した後、前記絶縁性保護膜の表層をエッチングにより除去する工程をさらに有する請求項 9 記載の半導体装置の製造方法。

【請求項 12】前記柱状導電体を形成する工程は、少なくとも第 1 層を形成する工程と、

前記第 1 層上に第 2 層を形成する工程とを含む請求項 7 記載の半導体装置の製造方法。

【請求項 13】前記電荷蓄積電極を形成する工程は、前記柱状導電体の第 2 層を形成する工程と同一の工程である請求項 12 記載の半導体装置の製造方法。

【請求項 14】前記スイッチング素子を形成する工程は、ゲートに印加する制御電圧に応じてオンまたはオフとなる絶縁ゲート電界効果トランジスタを形成する工程を含む請求項 7 記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、静電容量式の指紋センサとして用いることができる半導体装置およびその製造方法に関し、特に、静電耐圧が向上され、静電気などによるスイッチング素子の破壊を防止できる半導体装置およびその製造方法に関する。

【0002】

【従来の技術】従来、入退室管理などの用途に利用されることが多かった指紋照合システムは、近年、コンピュータネットワーク上のセキュリティシステムや、携帯端末などにおける本人認証ツールとして注目されてきている。指紋照合システムにおいて採用されている指紋検出方法としては、例えば、指紋表面における光の反射を CCD (charge coupled device) を用いて検出する光学式検出方法が挙げられる。また、圧電薄膜 (感圧シート) を利用して圧力差の分布から指紋の検出を行う方法が挙げられる。さらに、指の接触による電気特性の変化、具体的には抵抗値の変化または静電容量の変化を、電気信号の分布に置き換えて指紋を検出する方法が挙げられる。

【0003】上記の指紋検出方法のうち、指紋の圧力差を利用する方法は、圧電薄膜の材料が特殊であり、圧電薄膜の加工が比較的困難であることと、検出感度および解像度の向上が難しく、指紋照合の信頼性が低いことから実用化は遅れている。光学式検出方法は、光源と CCD を含む指紋照合システムの小型化が難しいため、用途が限定されている。それに対し、指の接触による静電容量の変化を検出する静電容量式の指紋センサは、装置の小型化および軽量化が比較的容易であるため、携帯端末などに搭載するのに適している。

【0004】図 15 に、従来の静電容量式指紋センサの平面図の一部を示す。図 15 に示すように、指紋センサは例えば正方形のセル 1 がマトリクス状に配置された構造を有する。各セル 1 は電荷蓄積電極 2 を有し、隣接す

るセル1の電荷蓄積電極2は絶縁膜3によって相互に分離されている。図15に示すようなセル1のマトリクスは、例えば数 cm^2 程度の面積内に配置され、指紋認識面を構成する。指紋ピッチは通常 $500\mu\text{m}$ 程度であり、セル1は指紋ピッチよりも小さいサイズ、例えば数 $10\mu\text{m}$ 程度で形成される。また、隣接する電荷蓄積電極2の間隔は例えば数 μm 〜数 $10\mu\text{m}$ 程度である。したがって、数 cm^2 程度の指紋認識面にセル1は例えば数万〜数十万個のオーダーで形成される。

【0005】図16に図15のX-X'における断面図を示す。図16に示すように、指紋センサの各セル1は、半導体基板11上にゲート絶縁膜12を介してワード線となるゲート電極13を有し、ゲート電極13両側の半導体基板11表層にソース／ドレイン領域14a、14bを有する。以上の構成を有するスイッチング用トランジスタTrは、半導体基板11の表面に形成された素子分離絶縁膜15によって、隣接するセルのスイッチング用トランジスタTrと分離されている。上記のトランジスタTrは、半導体基板11表層の不純物拡散層31に形成されている。

【0006】トランジスタTrのソース／ドレイン領域14a、14bおよび素子分離絶縁膜15上に第1層間絶縁膜16が形成され、第1層間絶縁膜16上にビット線17(BL)および接続層18が形成されている。ソース／ドレイン領域14a、14bの一方は、プラグ19を介してビット線17に接続されている。同様に、ソース／ドレイン領域14a、14bの他方は、プラグ19を介して接続層18に接続されている。

【0007】ビット線17、接続層18および第1層間絶縁膜16の上層に、第2層間絶縁膜20が形成されている。第2層間絶縁膜20上にバリアメタル層21を介して、電荷蓄積電極2が形成されている。バリアメタル層21としては例えばTi層が用いられ、電荷蓄積電極2としては例えばAlまたはAl合金からなる層が用いられる。電荷蓄積電極2を被覆するように、指紋認識面の全面に例えばシリコン窒化膜からなる絶縁性保護膜22が形成されている。

【0008】図17に、上記のようなセルが複数形成された半導体チップ30を含み、指紋センサとして用いられる従来の半導体装置の断面図を示す。図17に示すように、半導体基板11の表層に素子形成領域として不純物拡散層31が形成されている。不純物拡散層31には図16に示すようなスイッチング用トランジスタ(不図示)が形成されており、その上部に電荷蓄積電極2が形成されている。絶縁膜37は図16における素子分離絶縁膜15、第1層間絶縁膜16、第2層間絶縁膜20および絶縁性保護膜22に対応する。パッド電極32は電荷蓄積電極2と同一の層からなり、パッド電極32上の絶縁膜37には開口部が設けられている。

【0009】上記の構成を有する半導体チップ30が、

リード33を有するリードフレーム(不図示)のダイパッド34上に固定されている。パッド電極32とリード33とがワイヤボンディング35により接続されている。上記の指紋認識用半導体チップの指紋認識面を露出させながら、ワイヤボンディング部分35がモールド樹脂36によって封止されている。モールド樹脂36としては例えば熱硬化性樹脂が用いられる。

【0010】次に、上記の指紋センサの動作について説明する。図4は、指紋認識時の指紋センサ(図16参照)の電荷蓄積電極2部分を拡大した断面図である。図4に示すように、スイッチング用トランジスタ等の半導体素子(不図示)が形成された半導体基板11に、例えばTi等からなるバリアメタル層21が形成されている。その上層に、例えばAlまたはAl合金等からなり、基板11に形成された半導体素子に接続する電荷蓄積電極2が形成されている。電荷蓄積電極2は絶縁性保護膜22により被覆されている。

【0011】指紋認識面に指41が接触すると、電荷蓄積電極2―絶縁性保護膜22―指41の間に静電容量(キャパシタ)が形成される。このとき、絶縁性保護膜22はキャパシタ絶縁膜の一部として機能する。基準電位が与えられた指41が、n番目のセルの電荷蓄積電極2から距離 d_n の位置にあるとき、n番目のセルの電荷蓄積電極2と指41との間の静電容量 C_{Sn} は、次式(1)によって表される。

$$【0012】 C_{Sn} = \epsilon \cdot \epsilon_0 \cdot S / d_n \quad \dots (1)$$

【0013】ここで、 ϵ はキャパシタ誘電体の比誘電率を表し、 ϵ_0 は真空の誘電率を表し、Sはキャパシタ電極の有効面積(電荷蓄積電極のキャパシタに寄与する面積)を表す。式(1)から、指41が指紋認識面に接触していない状態では、指紋センサの全セルにおいて $d = \infty$ となり、全セルで静電容量値 $C_s = 0$ となる。

【0014】図4に示すように、電荷蓄積電極2と指41との距離 d_n (例えば d_1 、 d_2)は、指紋の凹凸42に応じて変動する。指紋の凸部が接触しているセルでは、キャパシタ絶縁膜の厚さが絶縁性保護膜22の膜厚とほぼ一致し、キャパシタの容量値が最大となる。指紋を横切る方向において、容量最大のセルから離れるにしたがってキャパシタの容量値は漸減し、指紋の凹部の中心に対応するセルで容量値は最小値となる。このような容量値の分布を、マトリクス状に配置されたセルを用いて二次元的に測定することにより、指紋の検出が行われる。

【0015】図5に、静電容量検出用セルの回路構成を示す。図5に示すように、各セルの電荷蓄積電極2は、スイッチング用トランジスタTrを介して列方向の選択線であるビット線BLに接続されている。例えば、電荷蓄積電極2(1)―絶縁性保護膜22―指41の間で形成されるキャパシタと、スイッチング用トランジスタTr1のソース／ドレイン領域の一方とが接続され、スイ

スイッチング用トランジスタ T_{r1} のソース／ドレイン領域の他方がビット線 BL_1 に接続されている。スイッチング用トランジスタ T_{r1} のゲートは行方向の選択線であるワード線 WL_1 に接続されている。

【0016】同様に、電荷蓄積電極 2 (2) - 絶縁性保護膜 22-指 41 の間で形成されるキャパシタと、スイッチング用トランジスタ T_{r2} のソース／ドレイン領域の一方とが接続され、スイッチング用トランジスタ T_{r2} のソース／ドレイン領域の他方がビット線 BL_2 に接続されている。スイッチング用トランジスタ T_{r2} のゲートは行方向の選択線であるワード線 WL_2 に接続されている。

【0017】上記の構成において、ビット線 BL に所定電位 (例えば電源電圧 V_{cc}) を印加しておく (V_{cc} プリチャージ)。指紋検出時に、選択されたワード線 WL に電圧を印加して、ワード線 WL に接続されたスイッチング用トランジスタ T_r を一斉にオンとする。各電荷蓄積電極 2 (1)、2 (2) には距離 d_1 、 d_2 によって決定される静電容量 C_{S1} 、 C_{S2} に応じた電荷がビット線 BL から供給されて蓄積される。したがって、これらの電荷量に応じてビット線 BL の電位が変化する。ビット線 BL の電位変化量 ΔV は、ビット線 BL の負荷容量を C_B とすると、次式 (2) で表される。

【0018】

$$\Delta V = \{ C_{Sn} / (C_B + C_{Sn}) \} \cdot V_{cc} \quad \dots (2)$$

【0019】あるいは、ビット線 BL を接地電位にプリチャージしておくことも可能である。その場合には、選択されたワード線 WL に接続されたトランジスタ T_r を一斉にオンとすることにより、各セルの電荷蓄積電極 2 (1)、2 (2) に誘起されていた電荷がビット線 BL に放出される。

【0020】ビット線群には、選択されたワード線方向の二次元指紋パターンに対応した電位変化が現れる。この電位変化を、例えば増幅してからデジタル信号に変換し、所定の記憶手段の対応アドレスに蓄積する。この動作を、ワード線数だけ短時間で連続で行うと、二次元の指紋パターンに対応した画像データを得ることができる。

【0021】

【発明が解決しようとする課題】しかしながら、上記の従来の指紋認識用半導体装置においては、指が指紋認識面に接触する際に、人体に帯電した静電気が電荷蓄積電極 2 に放電し、電荷蓄積電極 2 を介して、同一の半導体基板上に形成された検出回路に大電流が流れるという問題があった。この大電流により検出回路が破壊されると、半導体装置が指紋センサとして作動しなくなる。

【0022】一方、静電気の放電による回路の損傷を防止する目的で、指紋認識面の絶縁性保護膜 22 の膜厚を厚くしたり、材質を変更したりすることはできない。これは、絶縁性保護膜 22 が電荷蓄積電極 2 - 絶縁性保護

膜 22-指 41 の間で形成されるキャパシタのキャパシタ絶縁膜の一部として機能するためである。

【0023】本発明は上記の問題点に鑑みてなされたものであり、したがって本発明は、静電耐圧が向上され、スイッチング素子を含む検出回路の破壊を防止できる半導体装置およびその製造方法を提供することを目的とする。

【0024】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体装置は、半導体基板に形成された複数のスイッチング素子と、前記スイッチング素子に接続され、検出対象物との間の静電容量値に応じた量の電荷が蓄積される複数の電荷蓄積電極と、少なくとも前記電荷蓄積電極上に形成された絶縁性保護膜と、隣接する前記電荷蓄積電極の間に形成され、表面が前記電荷蓄積電極の表面よりも前記検出対象物に近接し、前記スイッチング素子と電気的に独立して前記半導体基板に接続する柱状導電体とを有することを特徴とする。

【0025】本発明の半導体装置は、好適には、前記柱状導電体は前記絶縁性保護膜により被覆されていることを特徴とする。あるいは、本発明の半導体装置は、好適には、前記柱状導電体の表面は前記絶縁性保護膜の表面とほぼ同一平面上にあり、前記柱状導電体は前記検出対象物に露出していることを特徴とする。あるいは、本発明の半導体装置は、好適には、前記柱状導電体の表面は前記絶縁性保護膜の表面よりも突出していることを特徴とする。

【0026】本発明の半導体装置は、好適には、前記柱状導電体は少なくとも第 1 層と前記第 1 層上に形成された第 2 層とを有し、前記第 2 層は前記電荷蓄積電極と同一の層からなることを特徴とする。本発明の半導体装置は、好適には、前記スイッチング素子は、ゲートに印加する制御電圧に応じてオンまたはオフとなる絶縁ゲート電界効果トランジスタを含むことを特徴とする。

【0027】これにより、指などの検出対象物に帯電した静電気を柱状導電体を介して半導体基板、さらに半導体基板の外部に引き抜くことが可能となる。したがって、静電気の放電等に起因するスイッチング素子あるいは検出回路の破壊を防止することが可能となる。本発明の半導体装置において、柱状導電体を絶縁性保護膜により被覆せず、露出した構造とすることにより、さらに静電気の引き抜きの効果を高くすることができる。

【0028】さらに、上記の目的を達成するため、本発明の半導体装置の製造方法は、半導体基板に複数のスイッチング素子を形成する工程と、検出対象物との間の静電容量値に応じた量の電荷が蓄積される複数の電荷蓄積電極を、前記スイッチング素子に接続するように形成する工程と、隣接する前記電荷蓄積電極の間に、表面が前記電荷蓄積電極の表面よりも前記検出対象物に近接し、前記スイッチング素子と電気的に独立して前記半導体基

板に接続する柱状導電体を形成する工程と、少なくとも前記電荷蓄積電極上に絶縁性保護膜を形成する工程とを有することを特徴とする。

【0029】本発明の半導体装置の製造方法は、好適には、前記絶縁性保護膜を形成する工程は、前記柱状導電体を前記絶縁性保護膜により被覆する工程を含むことを特徴とする。本発明の半導体装置の製造方法は、好適には、前記絶縁性保護膜を形成する工程は、前記電荷蓄積電極および前記柱状導電体の上部に前記絶縁性保護膜を形成する工程と、前記柱状導電体の表面が露出するまで前記絶縁性保護膜の表層を除去する工程とを含むことを特徴とする。本発明の半導体装置の製造方法は、さらに好適には、前記絶縁性保護膜の表層を除去する工程は、化学機械研磨工程を含むことを特徴とする。

【0030】本発明の半導体装置の製造方法は、好適には、前記柱状導電体の表面が露出するまで前記絶縁性保護膜の表層を除去した後、前記絶縁性保護膜の表層をエッチングにより除去する工程をさらに有することを特徴とする。本発明の半導体装置の製造方法は、好適には、前記柱状導電体を形成する工程は、少なくとも第1層を形成する工程と、前記第1層上に第2層を形成する工程とを含むことを特徴とする。本発明の半導体装置の製造方法は、さらに好適には、前記電荷蓄積電極を形成する工程は、前記柱状導電体の第2層を形成する工程と同一の工程であることを特徴とする。

【0031】本発明の半導体装置の製造方法は、好適には、前記スイッチング素子を形成する工程は、ゲートに印加する制御電圧に応じてオンまたはオフとなる絶縁ゲート電界効果トランジスタを形成する工程を含むことを特徴とする。

【0032】これにより、静電耐圧が向上され、静電気等の放電によるスイッチング素子あるいは検出回路の破壊を防止することが可能である半導体装置を製造することが可能となる。また、本発明の半導体装置の製造方法によれば、柱状導電体の一部を電荷蓄積電極の製造工程で形成することが可能であり、製造工程の増加が抑制される。

【0033】

【発明の実施の形態】以下に、本発明の半導体装置およびその製造方法の実施の形態について、図面を参照して説明する。

（実施形態1）図1に、本実施形態の指紋認識用半導体装置の平面図の一部を示す。図1に示すように、指紋センサは例えば正方形のセル1がマトリクス状に配置された構造を有する。各セル1は電荷蓄積電極2を有し、隣接するセル1の電荷蓄積電極2は絶縁膜3によって相互に分離されている。さらに、各電荷蓄積電極2のコーナ一部分に柱状導電体4が形成されている。柱状導電体4は電荷蓄積電極2と電気的に独立している。

【0034】図1に示すようなセル1のマトリクスは、

例えば数 cm^2 程度の面積内に配置され、指紋認識面を構成する。指紋ピッチは通常 $500\mu\text{m}$ 程度であり、セル1は指紋ピッチよりも小さいサイズ、例えば数 $10\mu\text{m}$ 程度で形成される。また、隣接する電荷蓄積電極2の間隔は例えば数 μm ～数 $10\mu\text{m}$ 程度である。したがって、数 cm^2 程度の指紋認識面にセル1は例えば数万～数十万個のオーダーで形成される。

【0035】図2に図1のX-X'における断面図を示す。但し、説明を容易とするため柱状導電体4がX-X'にあるものとした。図2に示すように、指紋センサの各セル1は、半導体基板11上にゲート絶縁膜12を介してワード線となるゲート電極13を有し、ゲート電極13両側の半導体基板11表層にソース/ドレイン領域14a、14bを有する。以上の構成を有するスイッチング用トランジスタTrは、半導体基板11の表面に形成された素子分離絶縁膜15によって、隣接するセルのスイッチング用トランジスタと分離されている。

【0036】素子分離絶縁膜15には開口部が形成されており、開口部に柱状導電体4が形成されている。スイッチング用トランジスタTrを半導体基板11の表層に形成された不純物拡散層（ウェル）31に形成し、柱状導電体4を不純物拡散層31以外の部分の半導体基板11に接続させることにより、柱状導電体4を検出回路から電気的に独立させることができる。

【0037】柱状導電体4は例えば第1層4aと、バリアメタル層5と、第2層4bが順に積層された構造とすることができる。この場合、バリアメタル層5は電荷蓄積電極2のバリアメタル層21と同一の層を用いて形成することが可能である。同様に、第2層4bは電荷蓄積電極2と同一の層を用いて形成することが可能である。第1層4aおよび第2層4bとしては、例えばAlまたはAl-Si合金等からなる層が用いられる。

【0038】トランジスタTrのソース/ドレイン領域14a、14bおよび素子分離絶縁膜15上に第1層間絶縁膜16が形成され、第1層間絶縁膜16上にビット線17（BL）および接続層18が形成されている。ソース/ドレイン領域14a、14bの一方は、ビット線17に接続されている。ビット線17、接続層18および第1層間絶縁膜16の上層に、第2層間絶縁膜20が形成されている。第2層間絶縁膜20上にバリアメタル層21を介して、電荷蓄積電極2が形成されている。バリアメタル層21としては例えばTi層が用いられ、電荷蓄積電極2としては例えばAlまたはAl合金からなる層が用いられる。電荷蓄積電極2を被覆するように、指紋認識面の全面に例えばシリコン窒化膜からなる絶縁性保護膜22が形成されている。

【0039】図3に本実施形態の指紋認識用半導体装置の断面図を示す。図3に示すように、半導体基板11の表層に素子形成領域として不純物拡散層31が形成されており、不純物拡散層31には図2に示すようなスイッ

チング用トランジスタ（不図示）が形成されている。スイッチング用トランジスタの上部には、トランジスタに接続する電荷蓄積電極 2 が形成されている。不純物拡散層 31 以外の領域の半導体基板 11 上に、柱状導電体 4 が形成されている。柱状導電体 4 は第 1 層 4a および第 2 層 4b を有する。図 3 において、図 2 の素子分離絶縁膜 16、第 1 層間絶縁膜 16、第 2 層間絶縁膜 20 および絶縁性保護膜 22 は絶縁膜 37 に対応する。

【0040】さらに、半導体基板 11 上には電荷蓄積電極 2 および柱状導電体の第 2 層 4b と同一の層からなるパッド電極 32 が形成されている。柱状導電体 4 は電荷蓄積電極 2 およびパッド電極 32 よりも突出した状態となっている。柱状導電体 4、電荷蓄積電極 2 およびパッド電極 32 は絶縁膜 37 によって被覆されており、パッド電極 32 上の絶縁膜 37 には開口部が設けられている。

【0041】上記の構成を有する半導体チップ 30 が、リード 33 を有するリードフレーム（不図示）のダイパッド 34 上に固定されている。パッド電極 32 とリード 33 とがワイヤボンディング 35 により接続されている。上記の指紋認識用半導体チップの指紋認識面を露出させながら、ワイヤボンディング部分 35 がモールド樹脂 36 によって封止されている。モールド樹脂 36 としては例えば熱硬化性樹脂が用いられる。

【0042】上記の本実施形態の指紋認識用半導体装置において、指紋認識時に指は接地電位となっていることが望ましい。本実施形態の指紋認識用半導体装置によれば、半導体チップ 30 が固着されるダイパッド 34 を接地電位とすることにより、柱状導電体 4 を接地電位とすることができる。指紋認識面に接触した指は、同時に柱状導電体 4 に接触するため、確実に指を接地電位とすることができる。

【0043】次に、上記の本実施形態の指紋認識用半導体装置の動作について説明する。図 4 は、指紋認識時の指紋センサの電荷蓄積電極 2 部分を拡大した断面図である。図 4 に示すように、スイッチング用トランジスタ等の半導体素子（不図示）が形成された半導体基板 11 上に、例えば Ti 等からなるバリア金属層 21 が形成されている。その上層に、例えば Al または Al 合金等からなり、半導体基板 11 に形成された半導体素子に接続する電荷蓄積電極 2 が形成されている。電荷蓄積電極 2 は絶縁性保護膜 22 により被覆されている。

【0044】指紋認識面に指が接触すると、電荷蓄積電極 2－絶縁性保護膜 22－指 41 の間で静電容量（キャパシタ）が形成される。このとき、絶縁性保護膜 22 はキャパシタ絶縁膜の一部として機能する。基準電位が与えられた指 41 が、n 番目のセルの電荷蓄積電極 2 から距離 d_n の位置にあるとき、n 番目のセルの電荷蓄積電極 2 と指 41 との間の静電容量 C_{Sn} は、次式（1）によって表される。

$$【0045】 C_{Sn} = \epsilon \cdot \epsilon_0 \cdot S / d_n \quad \dots (1)$$

【0046】ここで、 ϵ はキャパシタ誘電体の比誘電率を表し、 ϵ_0 は真空の誘電率を表し、S はキャパシタ電極の有効面積（電荷蓄積電極のキャパシタに寄与する面積）を表す。式（1）から、指 41 が指紋認識面に接触していない状態では、指紋センサの全セルにおいて $d = \infty$ となり、全セルで静電容量値 $C_s = 0$ となる。

【0047】図 4 に示すように、電荷蓄積電極 2 と指 41 との距離 d_n （例えば d_1 、 d_2 ）は、指紋の凹凸 42 に応じて変動する。指紋の凸部が接触しているセルでは、キャパシタ絶縁膜の厚さが絶縁性保護膜 22 の膜厚とほぼ一致し、キャパシタの容量値が最大となる。指紋を横切る方向において、容量最大のセルから離れるにしたがってキャパシタの容量値は漸減し、指紋の凹部の中心に対応するセルで容量値は最小値となる。このような容量値の分布を、マトリクス状に配置されたセルを用いて二次元的に測定することにより、指紋の検出が行われる。

【0048】図 5 に、静電容量検出用セルの回路構成を示す。図 5 に示すように、各セルの電荷蓄積電極 2 は、スイッチング用トランジスタ T_r を介して列方向の選択線であるビット線 B_L に接続されている。例えば、電荷蓄積電極 2（1）－絶縁性保護膜 22－指 41 の間で形成されるキャパシタと、スイッチング用トランジスタ T_{r1} のソース／ドレイン領域の一方とが接続され、スイッチング用トランジスタ T_{r1} のソース／ドレイン領域の他方がビット線 B_L1 に接続されている。スイッチング用トランジスタ T_{r1} のゲートは行方向の選択線であるワード線 W_L1 に接続されている。

【0049】同様に、電荷蓄積電極 2（2）－絶縁性保護膜 22－指 41 の間で形成されるキャパシタと、スイッチング用トランジスタ T_{r2} のソース／ドレイン領域の一方とが接続され、スイッチング用トランジスタ T_{r2} のソース／ドレイン領域の他方がビット線 B_L2 に接続されている。スイッチング用トランジスタ T_{r2} のゲートは行方向の選択線であるワード線 W_L2 に接続されている。

【0050】上記の構成において、ビット線 B_L に所定電位（例えば電源電圧 V_{cc} ）を印加しておく（ V_{cc} プリチャージ）。指紋検出時に、選択されたワード線 W_L に電圧を印加して、ワード線 W_L に接続されたスイッチング用トランジスタ T_r を一斉にオンとする。各電荷蓄積電極 2（1）、2（2）には距離 d_1 、 d_2 によって決定される静電容量 C_{s1} 、 C_{s2} に応じた電荷がビット線 B_L から供給されて蓄積される。したがって、これらの電荷量に応じてビット線 B_L の電位が変化する。ビット線 B_L の電位変化量 ΔV は、ビット線 B_L の負荷容量を C_B とすると、次式（2）で表される。

$$【0051】$$

$$\Delta V = \{ C_{Sn} / (C_B + C_{Sn}) \} \cdot V_{cc} \quad \dots (2)$$

【0052】あるいは、ビット線BLを接地電位にプリチャージしておくことも可能である。その場合には、選択されたワード線WLに接続されたトランジスタTrを一斉にオンとすることにより、各セルの電荷蓄積電極2(1)、2(2)に誘起されていた電荷がビット線BLに放出される。

【0053】ビット線群には、選択されたワード線方向の一次元指紋パターンに対応した電位変化が現れる。この電位変化を、例えば増幅してからデジタル信号に変換し、所定の記憶手段の対応アドレスに蓄積する。この動作を、ワード線数だけ短時間で連続して行くと、二次元の指紋パターンに対応した画像データを得ることができる。

【0054】次に、上記の本実施形態の指紋認識用半導体装置の製造方法について説明する。以下、半導体チップの形成工程については図6(a)～図11(l)を参照して説明し、半導体チップのパッケージング工程については図12(a)および(b)を参照して説明する。

【0055】半導体チップの形成工程においては、まず、図6(a)に示すように、半導体基板11の表面にセル間を分離する素子分離絶縁膜15を形成する。素子分離絶縁膜15は例えばLOCOS(local oxidation of silicon)法により形成する。素子分離絶縁膜15によって分離された半導体基板表層に不純物拡散層31を形成する。不純物拡散層31は例えば不純物をイオン注入することにより形成される。

【0056】次に、図6(b)に示すように、不純物拡散層31上にゲート絶縁膜12を介してゲート電極13を形成する。ゲート電極13はスイッチング用トランジスタのワード線となる。さらに、ゲート電極13をマスクとして不純物拡散層31の表層に不純物を拡散させ、ソース/ドレイン領域14a、14bを形成する。

【0057】次に、図7(c)に示すように、不純物拡散層31を被覆する第1層間絶縁膜16を形成する。続いて、ソース/ドレイン領域14a、14b上の第1層間絶縁膜16に開口部を形成してから、開口部に金属層を埋め込んでプラグ19を形成する。次に、図7(d)に示すように、プラグ19に接続するビット線17(BL)と接続層18とを形成する。さらに、ビット線17、接続層18およびゲート電極13を被覆する第2層間絶縁膜20を形成する。

【0058】次に、図8(e)に示すように、接続層18上部の第2層間絶縁膜20に開口部を形成してから、開口部に金属層を埋め込んでプラグ23を形成する。続いて、図8(f)に示すように、不純物拡散層31以外の領域すなわちセル間の素子分離絶縁膜15、第1層間絶縁膜16および第2層間絶縁膜20に、柱状導電体の第1層4aを形成するための開口部24を形成する。開口部24の形成は例えばドライエッチングにより行うこ

とができる。

【0059】次に、図9(g)に示すように、例えばスパッタリングにより全面にAlまたはAl-SiなどのAl系合金からなる金属層25を1.5μm程度の膜厚で堆積させる。次に、図9(h)に示すように、フォトリソグラフィ工程により開口部24の上部にレジスト26を形成する。

【0060】図10(i)に示すように、レジスト26をマスクとして金属層25に例えば反応性イオンエッチング(RIE; reactive ion etching)を行う。これにより、開口部24内に柱状導電体の第1層4aが形成される。その後、レジスト26を除去する。

【0061】次に、図10(j)に示すように、バリアメタル層となる金属層27を例えばスパッタリングにより全面に形成する。金属層27としては例えばTi層やTi/TiN/Tiの積層膜などを形成する。金属層27の上層に電荷蓄積電極2、柱状導電体の第2層4bおよび図示しないがパッド電極となる金属層28を、例えばスパッタリングにより全面に0.5μm程度の膜厚で形成する。金属層28としては例えばAlまたはAl-Si等のAl系合金からなる層を形成する。

【0062】次に、図11(k)に示すように、柱状導電体の第1層4aおよび電荷蓄積電極形成領域の上部にレジスト29を形成する。図11(l)に示すように、レジスト29をマスクとして金属層27、28にエッチングを行うことにより、柱状導電体の第2層4b、電荷蓄積電極2およびパッド電極(不図示)が形成される。その後、レジスト29を除去する。

【0063】次に、図2に示すように、全面に例えば化学気相成長(CVD; chemical vapor deposition)により、絶縁性保護膜22としてシリコン窒化膜を例えば膜厚1μm程度堆積させる。シリコン窒化膜のかわりにシリコン酸化膜の積層膜などを絶縁性保護膜22として用いることもできる。その後、パッド電極上の絶縁性保護膜22をエッチングにより除去する。

【0064】以上の工程の後、ダイシング処理などを施すことにより、電荷蓄積電極2および検出回路が形成された半導体チップ30が得られる。以降のパッケージング工程については、図12を参照して説明する。図12において、絶縁膜37は図2の素子分離絶縁膜15、第1層間絶縁膜16および第2層間絶縁膜20に対応する。また、不純物拡散層31に形成されたスイッチング用トランジスタ等は適宜省略した。

【0065】パッケージング工程においては、まず、図12(a)に示すように、リードフレームのダイパッド34上に、例えば銀ペースト等を用いて半導体チップ30を固着する。次に、図12(b)に示すように、例えば金線などを用いたワイヤボンディング35により半導

体チップ 30 のパッド電極 32 とリード 33 とを結線する。リード 33 には予め銀めっき処理などを施しておく。

【0066】次に、図 3 に示すように、半導体チップ 30 の指紋認識面を露出させながら、例えば熱硬化性樹脂からなるモールド樹脂 36 を用いて、半導体チップ 30 およびワイヤボンディング 35 を封止する。続いて、モールド樹脂 36 のバリ取り処理を行ってから、樹脂封止された状態のパッケージをリードフレームの枠から切り離す（トリミング工程）。その後、リードを所望の形状に折り曲げる（フォーミング工程）ことにより、所望の指紋認識用半導体装置が得られる。

【0067】上記の本実施形態の製造方法に従って製造された指紋認識用半導体装置によれば、静電気が帯電した指などが指紋認識面に接近したときに、電荷蓄積電極 2 ではなく柱状導電体 4 に静電気が放電する。柱状導電体 4 の厚さは約 $2\mu\text{m}$ であり、厚さ約 $0.5\mu\text{m}$ の電荷蓄積電極 2 に比べて厚いため、柱状導電体 4 は指紋認識面の表面でわずかに突出した形状となっている。柱状導電体 4 に放電された電荷は、検出回路以外の部分の半導体基板 11 からダイパッド 34 を介して、ダイパッド 34 に接続されたリード 33 に流れ、指紋認識用半導体装置の外部に引き抜かれる。したがって、半導体基板 11 に形成された検出回路の破壊が防止される。また、本実施形態の半導体装置によれば、指紋認識面に形成される絶縁性保護膜 22 の膜厚や材質を変更する必要がないため、指紋認識の精度等は低下しない。

【0068】（実施形態 2）図 13（a）に本実施形態の半導体装置の断面図を示す。本実施形態の半導体装置は柱状導電体部分を除き、実施形態 1 の半導体装置と共通の構造を有する。本実施形態の半導体装置は、図 1 に示す実施形態 1 の半導体装置と同様に、電荷蓄積電極 2 のコーナー部分に柱状導電体 4 を有する。

【0069】図 13（a）の断面図に示すように、柱状導電体 4 は第 1 層 4a と、その上層に形成された第 2 層 4b とを有し、柱状導電体 4 の表面は指紋認識面に露出している。柱状導電体の第 2 層 4b は電荷蓄積電極 2 およびパッド電極 32 と同一の層からなる。柱状導電体 4 以外の部分は、実施形態 1 の半導体装置と同様に絶縁膜 37 によって被覆されている。

【0070】上記の本実施形態の指紋認識用半導体装置において、指紋認識時に指は接地電位となっていることが望ましい。本実施形態の指紋認識用半導体装置によれば、半導体基板 11 が固着されるダイパッド 34 を接地電位とすることにより、柱状導電体 4 を接地電位とすることができる。指紋認識面に接触した指は、同時に柱状導電体 4 に接触するため、確実に指を接地電位とすることができる。

【0071】上記の本実施形態の半導体装置の製造方法は、柱状導電体の第 2 層 4b、電荷蓄積電極 2 およびパ

ッド電極 32 の形成工程まで、実施形態 1 の半導体装置の製造方法と共通する。したがって、続く工程について図 13（b）～（d）を参照して説明する。

【0072】図 13（b）に示すように、柱状導電体の第 2 層 4b、電荷蓄積電極 2 およびパッド電極 32 を形成後、全面に例えば CVD により絶縁膜 37 の一部（図 2 の絶縁性保護膜 22 に対応する。）を例えば厚さ $3\mu\text{m}$ 程度堆積させる。堆積させる絶縁膜の厚さは、下地の段差が概ね解消される程度とする。絶縁膜 37 としては例えばシリコン窒化膜やシリコン酸化膜の積層膜を形成する。

【0073】次に、図 13（c）に示すように、CMP を柱状導電体 4b の表面が露出するまで行う。次に、図 13（d）に示すように、パッド電極 32 上の絶縁膜 37 をエッチングにより除去し、パッド電極 32 を露出させる。以降のパッケージング工程については、図 12 に示す実施形態 1 と同様に行うことができる。

【0074】上記の本実施形態の半導体装置の製造方法に従って製造された指紋認識用半導体装置は、指紋認識面に露出した柱状導電体 4 を有する。したがって、指から柱状導電体 4 に効率よく静電気を放電させることができる。これにより、半導体基板に形成されたトランジスタあるいは検出回路の破壊を防止することが可能となる。

【0075】（実施形態 3）図 14（a）に本実施形態の半導体装置の断面図を示す。本実施形態の半導体装置は柱状導電体部分を除き、実施形態 1 の半導体装置と共通の構造を有する。本実施形態の半導体装置は、図 1 に示す実施形態 1 の半導体装置と同様に、電荷蓄積電極 2 のコーナー部分に柱状導電体 4 を有する。

【0076】図 14（a）の断面図に示すように、柱状導電体 4 は第 1 層 4a と、その上層に形成された第 2 層 4b とを有し、柱状導電体 4 の表面は露出し、かつ絶縁性保護膜 22 上に突出している。柱状導電体の第 2 層 4b は電荷蓄積電極 2 およびパッド電極 32 と同一の層からなる。柱状導電体 4 以外の部分は、実施形態 1 の半導体装置と同様に絶縁膜 37 によって被覆されている。

【0077】上記の本実施形態の指紋認識用半導体装置において、指紋認識時に指は接地電位となっていることが望ましい。本実施形態の指紋認識用半導体装置によれば、半導体基板 11 が固着されるダイパッド 34 を接地電位とすることにより、柱状導電体 4 を接地電位とすることができる。指は、指紋認識面（絶縁性保護膜 22 の表面）に接触する前に柱状導電体 4 に接触するため、確実に指を接地電位とすることができる。

【0078】上記の本実施形態の半導体装置の製造方法は、絶縁性保護膜 22 に CMP を施し、パッド電極 32 上の絶縁膜 37 を除去する工程まで、実施形態 2 の半導体装置の製造方法と共通する。したがって、続く工程について図 14（b）を参照して説明する。図 14（b）

に示すように、絶縁膜 37 の全面に例えば R I E を行い、絶縁膜 37 を例えば $0.5 \mu\text{m}$ 程度薄くする。これにより、柱状導電体 4 b の表面を絶縁膜 37 の表面に対して、例えば厚さ $0.5 \mu\text{m}$ 程度突出させることができる。以降のパッケージング工程については、図 12 に示す実施形態 1 と同様に行うことができる。

【0079】上記の本実施形態の半導体装置の製造方法に従って製造された指紋認識用半導体装置は、指紋認識面に露出し、かつ絶縁性保護膜 22 上に突出した柱状導電体 4 を有する。したがって、指から柱状導電体 4 に効
率よく静電気を放電させることができる。これにより、半導体基板に形成されたトランジスタあるいは検出回路の破壊を防止することが可能となる。

【0080】本発明の半導体装置およびその製造方法の実施形態は、上記の説明に限定されない。例えば、柱状導電体 4 の形状は、図 1 に示すような四角柱に限定されず、例えば円柱状とすることも可能である。また、柱状導電体 4 を電荷蓄積電極のすべてのコーナー部分でなく、一部のコーナー部分に形成することもできる。その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【0081】

【発明の効果】本発明の半導体装置によれば、検出対象物に帯電した静電気が柱状導電体に放電されるため、半導体装置の静電耐圧が向上し、静電気などによるスイッチング素子の破壊を防止することが可能となる。本発明の半導体装置の製造方法によれば、静電気などによるスイッチング素子あるいは検出回路の破壊を防止できる半導体装置の製造が可能となる。

【図面の簡単な説明】

【図 1】図 1 は本発明の実施形態 1 に係る半導体装置の平面図である。

【図 2】図 2 は本発明の実施形態 1 に係る半導体装置の断面図であり、図 1 の X-X' に対応する。

【図 3】図 3 は本発明の実施形態 1 に係る半導体装置の断面図である。

【図 4】図 4 は本発明および従来の指紋認識用半導体装置の指紋認識時の電荷蓄積電極部分を拡大した断面図である。

【図 5】図 5 は本発明および従来の指紋認識用半導体装置の回路構成を示す図である。

【図 6】図 6 (a) および (b) は本発明の実施形態 1 に係る半導体装置の製造方法の製造工程を示す断面図であり、スイッチング用トランジスタの形成工程までを示す。

【図 7】図 7 (c) および (d) は本発明の実施形態 1 に係る半導体装置の製造方法の製造工程を示す断面図で

あり、第 2 層間絶縁膜形成工程までを示す。

【図 8】図 8 (e) および (f) は本発明の実施形態 1 に係る半導体装置の製造方法の製造工程を示す断面図であり、柱状導電体用の開口部の形成工程までを示す。

【図 9】図 9 (g) および (h) は本発明の実施形態 1 に係る半導体装置の製造方法の製造工程を示す断面図であり、柱状導電体の第 1 層を形成するためのフォトリソグラフィ工程までを示す。

【図 10】図 10 (i) および (j) は本発明の実施形態 1 に係る半導体装置の製造方法の製造工程を示す断面図であり、柱状導電体の第 2 層となる金属層の形成工程までを示す。

【図 11】図 11 (k) および (l) は本発明の実施形態 1 に係る半導体装置の製造方法の製造工程を示す断面図であり、柱状導電体の第 2 層および電荷蓄積電極の形成工程までを示す。

【図 12】図 12 (a) および (b) は本発明の実施形態 1 に係る半導体装置の製造方法の製造工程を示す断面図であり、ワイヤボンディング工程までを示す。

【図 13】図 13 (a) は本発明の実施形態 2 に係る半導体装置の断面図であり、図 13 (b) ~ (d) は本発明の実施形態 2 に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 14】図 14 (a) は本発明の実施形態 3 に係る半導体装置の断面図であり、図 14 (b) は本発明の実施形態 3 に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 15】図 15 は従来の指紋認識用半導体装置の平面図である。

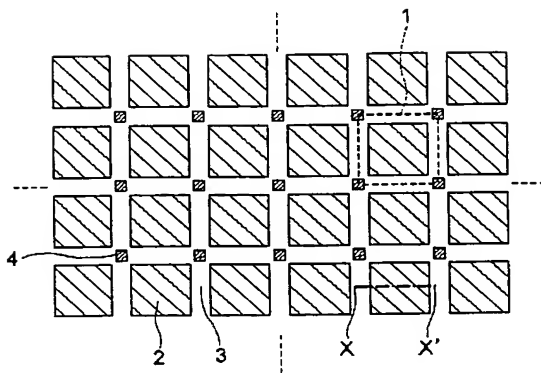
【図 16】図 16 は従来の指紋認識用半導体装置の断面図であり、図 15 の X-X' に対応する。

【図 17】図 17 は従来の指紋認識用半導体装置の断面図である。

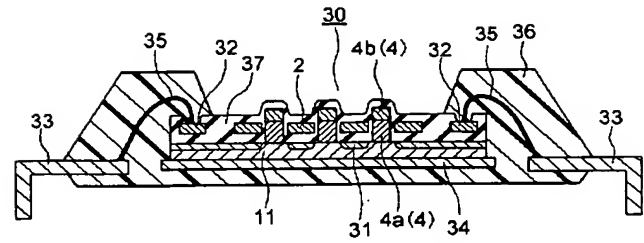
【符号の説明】

1…セル、2…電荷蓄積電極、3…絶縁膜、4…柱状導電体、4 a…柱状導電体の第 1 層、4 b…柱状導電体の第 2 層、5…バリアメタル層、11…半導体基板、12…ゲート絶縁膜、13…ゲート電極、14 a、14 b…ソース/ドレイン領域、15…素子分離絶縁膜、16…第 1 層間絶縁膜、17…ビット線、18…接続層、19…プラグ、20…第 2 層間絶縁膜、21…バリアメタル層、22…絶縁性保護膜、23…プラグ、24…開口部、25…金属層、26…レジスト、27、28…金属層、29…レジスト、30…半導体チップ、31…不純物拡散層、32…パッド電極、33…リード、34…グアイパッド、35…ワイヤボンディング、36…モールド樹脂、37…絶縁膜、41…指、42…指紋の凹凸。

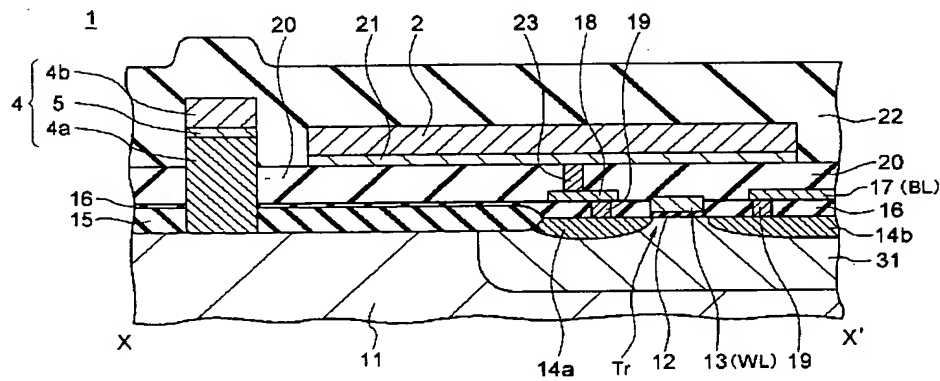
【图 1】



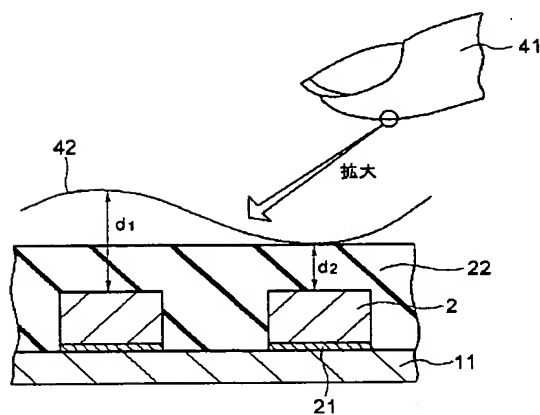
【図 3】



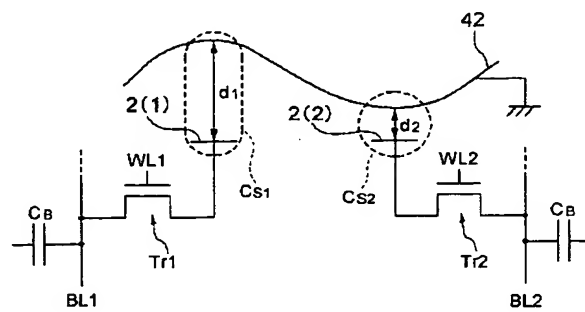
【図 2】



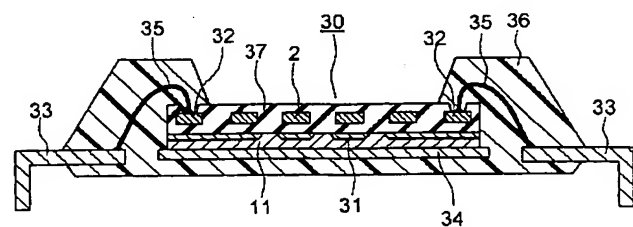
【圖 4】



【图 5】

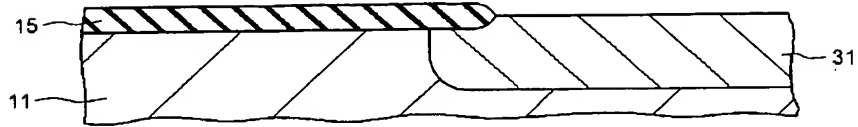


【図 17】

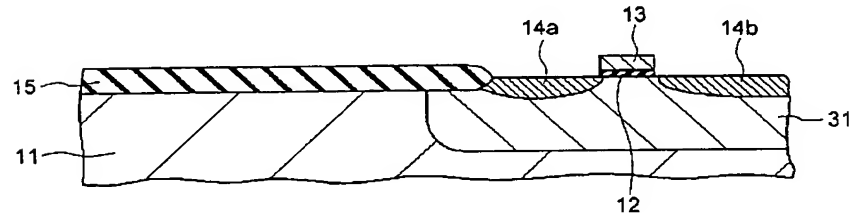


【図 6】

(a)

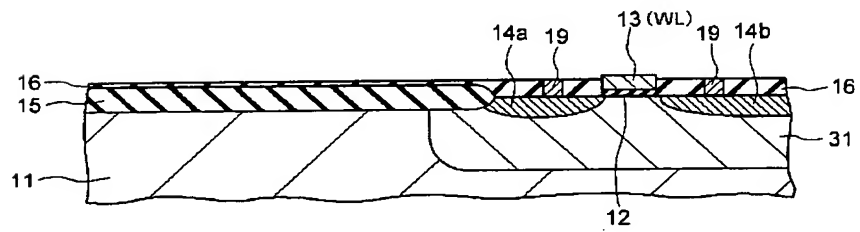


(b)

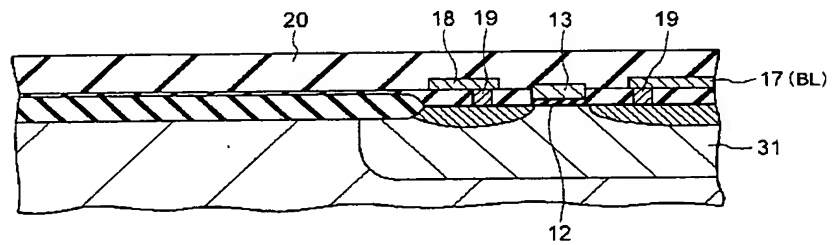


【図 7】

(c)

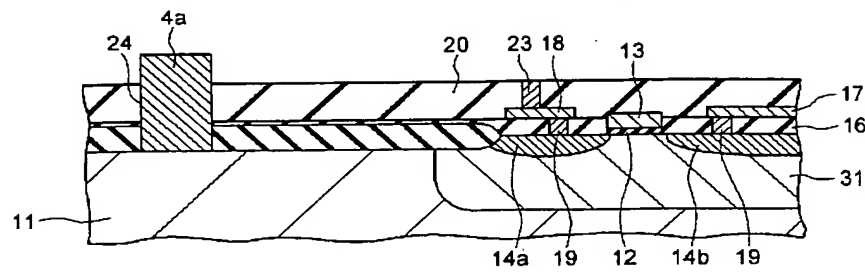


(d)

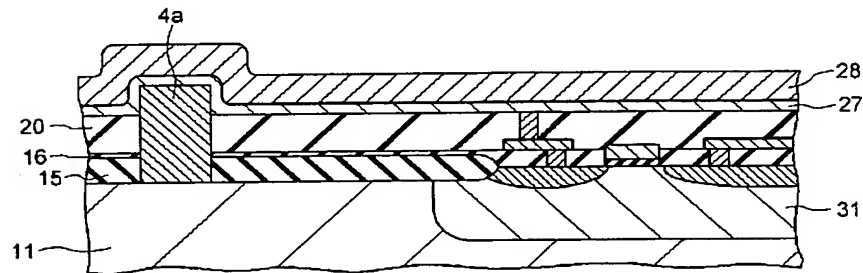


【図 10】

(i)

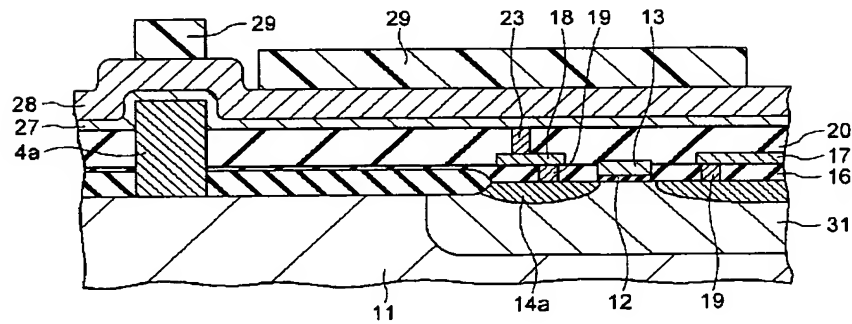


(j)

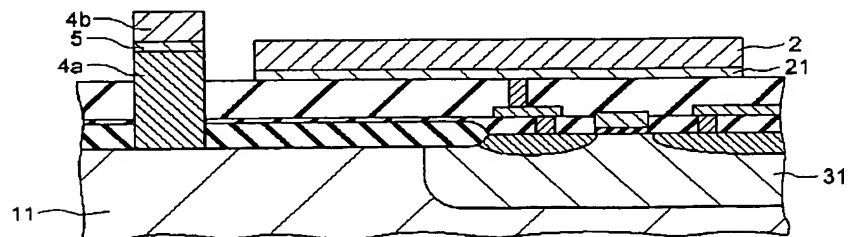


【図 11】

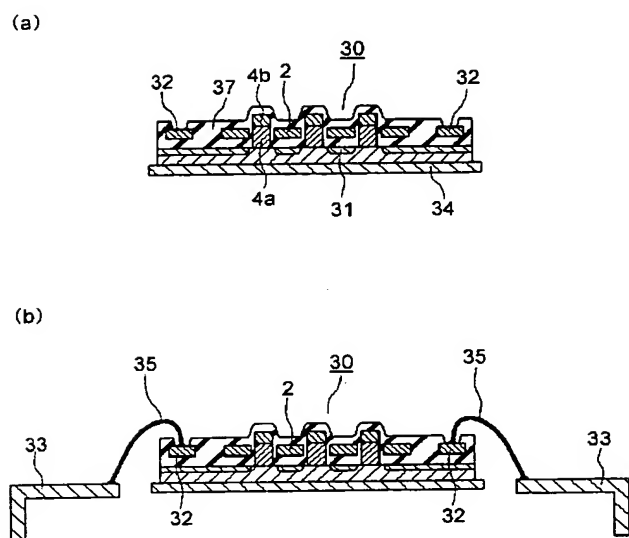
(k)



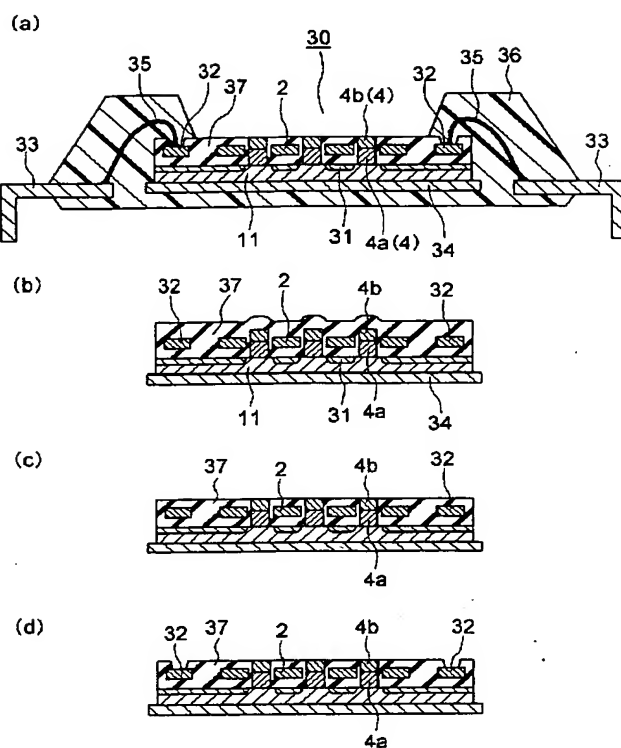
(l)



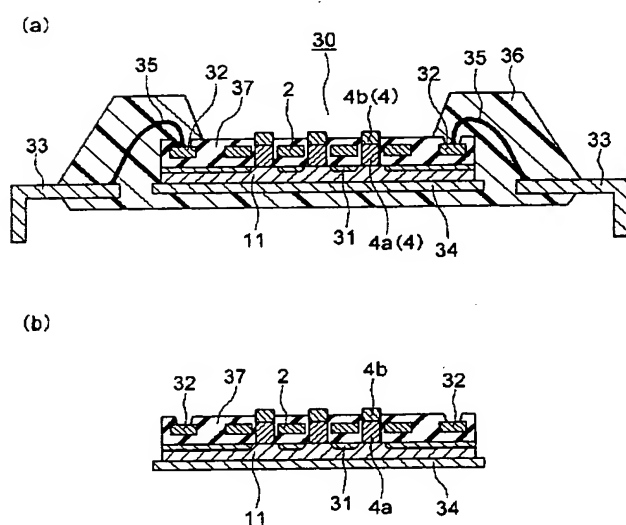
【図 12】



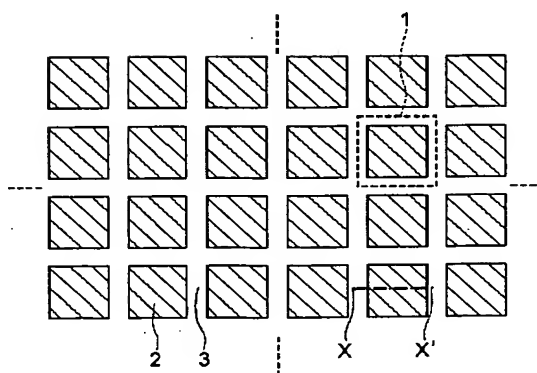
【図 13】



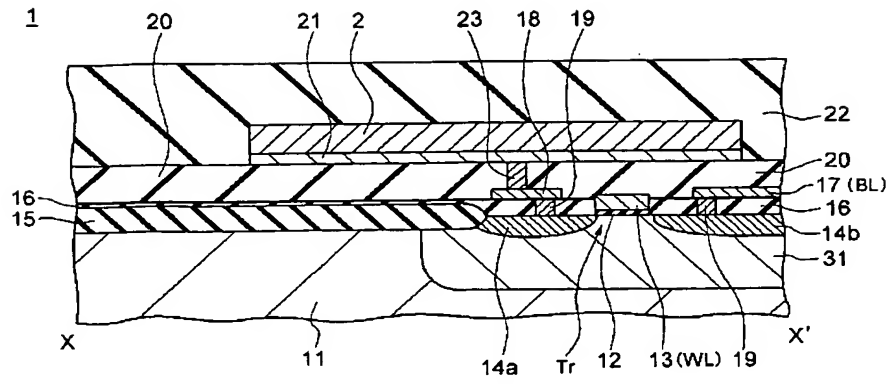
【図 14】



【図 15】



【図16】



フロントページの続き

Fターム(参考) 2F063 AA41 BA29 BD20 CA17 DA02
 DA05 DD07 EA20 KA03 LA11
 LA19 LA22 LA25 LA29
 4M112 AA01 BA03 BA07 CA46 CA51
 CA54 DA03 DA09 DA10 DA11
 DA12 EA03 GA01
 5B047 AA25 AB02 BA02 BB04 BC01

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.